

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106649

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 39/22	Z A A Z	9276-4M		
21/82				
27/10	4 5 1	7210-4M		
		8122-4M	H 0 1 L 21/ 82	B

審査請求 有 請求項の数 1 F D (全 4 頁)

(21) 出願番号 特願平5-276177

(22) 出願日 平成5年(1993)10月7日

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(72) 発明者 青柳 昌宏

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 仲川 博

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72) 発明者 黒沢 格

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(74) 指定代理人 工業技術院電子技術総合研究所長

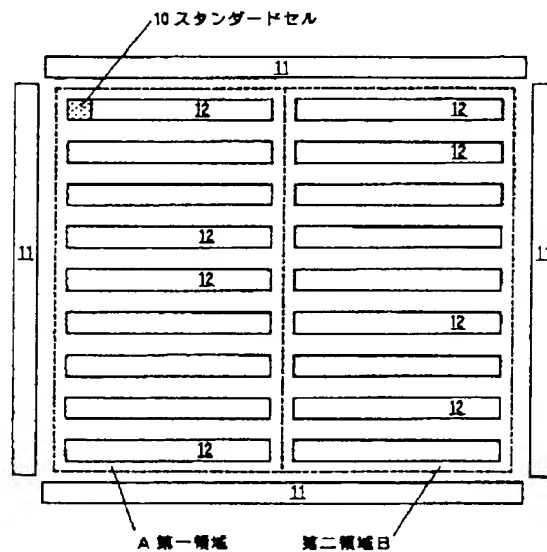
最終頁に続く

(54) 【発明の名称】 超伝導論理集積回路のバタンレイアウト方法

(57) 【要約】

【目的】 基板上に搭載する超伝導論理集積回路を複数の部分に分割するとき、当該各分割部分に関する最適なバタンレイアウトを簡単かつ迅速に得る。

【構成】 スタANDARDセル方式の自動配置配線手法に用いるフロアプラン12を超伝導論理集積回路の分割数「2」に従って領域A、Bに分割した後に、当該STANDARDセル方式の自動配置配線手法を実行する。



11: パッド用フロアプラン

12: 回路用フロアプラン

1

## 【特許請求の範囲】

【請求項1】 基板上に搭載する超伝導論理集積回路を複数部分に分割する際、該各分割部分ごとに適当なボタンレイアウトを得るための方法であって；スタンダードセル方式の自動配置配線手法に用いるフロアプランを上記超伝導論理集積回路の分割数に従って分割した後に、該スタンダードセル方式の自動配置配線手法を実行すること；を特徴とする超伝導論理集積回路のボタンレイアウト方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、基板上に搭載する超伝導論理集積回路を複数の部分に分割する必要がある場合に、各分割部分ごとに適当なるボタンレイアウト（セル配置配線ボタン）を簡単に得るための改良に関する。

## 【0002】

【従来の技術】 高速で動作するジョセフソン論理集積回路の基板上におけるボタンレイアウト（換言すれば製造時におけるマスクボタン）に関する自動設計手法として、全ての論理セルに関し同じ高さを持つようにマスクボタンが設計されるスタンダードセルを用い、論理回路図に基づいて全集積回路部分に関し自動配置配線を実行する手法及び装置がある。

【0003】 これは、スタンダードセル方式の自動配置配線手法と呼ばれ、この分野で公知であるが、図3には、この方式に従う場合に、スタンダードセル10を配置可能な領域を規定する回路用フロアプラン12が示されている。複数列平行して設けられる回路用フロアプラン12の各列はスタンダードセルと同じ高さを持っており、当該フロアプラン12の全面積の合計は、集積回路に必要な全てのセルの面積の合計の1.5倍から2倍とされる。回路用フロアプラン12の周辺を取り囲むパッド用フロアプラン11は、パッドを配置するための領域である。

【0004】 図4には、図3に示されているフロアプランに基づき、スタンダードセル方式の自動配置配線手法に従ってボタンレイアウト設計の行なわれた集積回路の一例の平面構成が示されている。各スタンダードセル10、……は外形のみ示されている。また、配線は二層の金属配線であり、図中、最下部に示されているROMプレーンセル13はROMブロック13として取扱い、ブロックルータにより配線を行なった。パッドセル14も、適当個所に適当個数が配置されている。ただし、図中では電源配線は行っていない。

## 【0005】

【発明が解決しようとする課題】 このようなスタンダードセル方式の自動配置配線手法は、基板上に形成すべき超伝導論理集積回路を全て単一の領域から構成して良い場合には極めて便利であり、図4に示したような適当なるボタンレイアウトが得られる。しかし、同じ基板上に搭載される超伝導論理集積回路であっても、これを複数

2

の部分に分割形成したいときも良くある。このような場合、従来例においては、方法1：スタンダードセル方式により設計されたボタンを、その後、手動により分割する、方法2：論理回路図上で予めブロックに分割し（パーティションを行ない）、それぞれのブロックごとにスタンダードセル方式によって自動配置配線を行なった後、ブロックルータによりブロック間を配線する、等の手法により、複数の分割部分を含む集積回路全体の設計を行っていた。

10 【0006】 しかし、上記方法1では、集積回路中のセル数が多くなると、分割のために一度に選択して移動することが不可能になるため、少しずつ移動するしかなく、非常に時間の掛かる作業となる。一方、スタンダードセル方式を用いた集積回路の自動配置配線手法では、集積回路の分割が適当であったか否かの判断は、最終的に集積回路を設計し終ってからでなければできないので、上記方法2に従った場合、判断結果に基づき、論理回路図に戻って再分割をやり直す必要が生ずると、当該自動設計を始めから再実施せねばならず、実際上も、最適な分割を行なうには、このような手順を何度か繰返せねばならないことが多かった。

## 【0007】

【課題を解決するための手段】 本発明はこのような実情の下になされたもので、基板上に搭載する超伝導論理集積回路を複数の部分に分割する必要がある場合、各部分に関する最適なボタンレイアウトを簡単かつ迅速に得るために、スタンダードセル方式の自動配置配線手法に用いるフロアプランをまずは超伝導論理集積回路の分割数に従って分割した後に、当該スタンダードセル方式の自動配置配線手法を実行する、という手法を提案する。

## 【0008】

【実施例】 図1には、基板上における分割数が「2」の場合の本発明に従うボタンレイアウト法が説明されている。図中の各符号については、図3、4に示されている対応構成要素と同じとしているが、本発明によると、分割数「2」に依り、スタンダードセル方式の自動配置配線手法用の回路用フロアプラン12は、この場合、左右に並置の関係で、二つの領域A、Bに分割されている。各領域A、Bの面積は等しく、それらの面積の合計は、基板上に必要な全セルの面積の合計の1.5倍から2倍とされている。また、回路用フロアプラン12の各列は、スタンダードセル10と同じ高さを持っており、回路用フロアプラン12を取り囲むパッド用フロアプラン11は、パッドを配置するための領域である。

【0009】 図2には、本発明に従って図1に示されたような回路用フロアプラン12の分割手続がなされた後に、分割された領域A、Bを含むフロアプランに基づき、スタンダードセル方式の自動配置配線手法を実行し、これによってボタンレイアウト設計の行なわれた集積回路の一例の平面構成が示されている。本図において

3

も図4におけると同様に、各スタンダードセル10、……は外形のみ示されており、また、配線は二層の金属配線であり、図中、最下部に示されているROMプレーンセル13はROMブロック13として取扱い、ブロックルータにより配線を行なった。パッドセル14も、適当個所に適当個数が配置されている。図中では電源配線は行なっていないが、各分割された超伝導論理集積回路部分には、それぞれ専用に図示しない電源供給回路（一般に外付けの高周波電力源と各超伝導論理集積回路部分とのインピーダンス整合を採るためのインピーダンス変換回路）が備えられる。

【0010】この図4に明らかなように、本発明に従うと、各分割部分ごとにセルが均等に配置され、全集積回路が適切に二分割されていることが分かる。もちろん、必要な分割数に応じ、図1における回路用フロアプラン12の分割数は増やすことができる。

【0011】

【発明の効果】本発明によると、分割されたそれぞれの超伝導論理集積回路部分に均等にセルが配置され、超伝導論理集積回路の分割が適切に行なわれる。そのため、

10

煩雑で時間の掛かる手動作業や、論理回路図に戻っての再分割作業の必要がなくなり、設計に要する時間を大幅に短縮することができる。

【図面の簡単な説明】

【図1】本発明による超伝導論理集積回路パタンレイアウト方法の特徴部分を説明する説明図である。

【図2】本発明方法によって得られた超伝導論理集積回路の平面構成に関する概略構成図である。

【図3】一般的なスタンダードセル方式の自動配置配線手法に従う場合のフロアプランに関する説明図である。

【図4】一般的なスタンダードセル方式の自動配置配線手法により得られた超伝導論理集積回路の一例の平面構成に関する概略構成図である。

【符号の説明】

10 スタンダードセル、

11 パッド用フロアプラン、

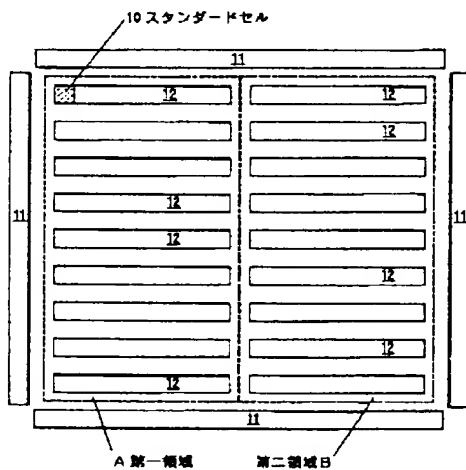
12 回路用フロアプラン、

13 ROMブロック、

14 パッドセル、

20 A、B フロアプランに関する各分割領域。

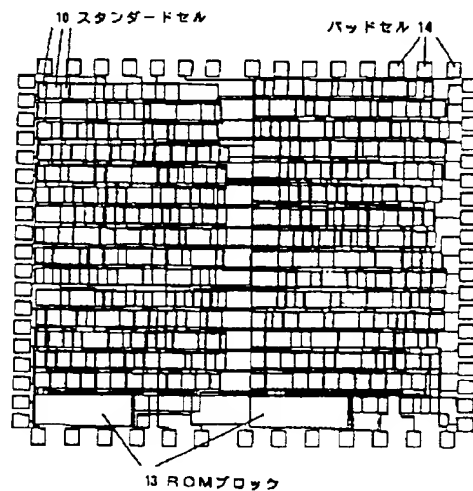
【図1】



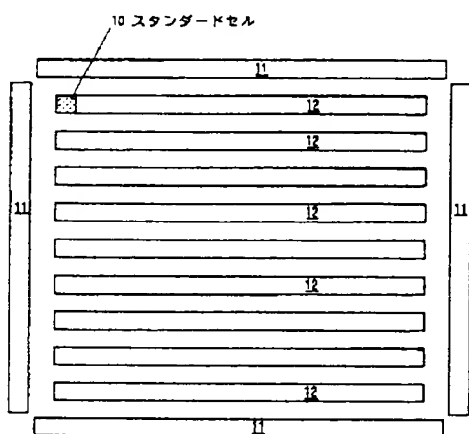
11: パッド用フロアプラン

12: 回路用フロアプラン

【図2】



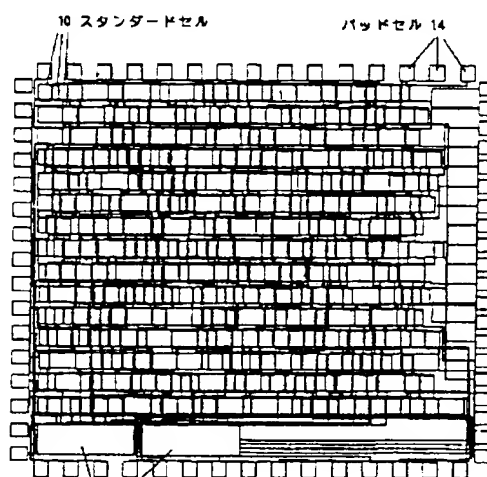
【図3】



11: パッド用フロアプラン

12: 回路用フロアプラン

【図4】



13 ROMブロック

フロントページの続き

(72)発明者 高田 進

茨城県つくば市梅園1丁目1番4 工業技  
術院電子技術総合研究所内